(2) Japanese Patent Application Laid-Open No. 4-142080 (1992) "SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF"

The following is English translation of an extract from the above-identified document relevant to the present application.

5

10

A semiconductor device according to the present invention is characterized in that it has a double-layer structure gate electrode formed on a semiconductor substrate comprising an n-type semiconductor layer formed through a gate insulating film on the semiconductor substrate, and a compound layer made by a metal and a p-type semiconductor on the n-type semiconductor layer.

⑩日本国特許庁(JP)

① 特許出願公開

⑫ 公 開 特 許 公 報 (A) 平4-142080

®Int. Cl. 5

識別記号

庁内整理番号

❸公開 平成4年(1992)5月15日

29/784 H 01 L 21/28

29/62

301 Α C

7738-4M 7738-4M 8422-4M 9056-4M

H 01 L 29/78

301 G 3 1 1 Ğ

審査請求 未請求 請求項の数 2 (全4頁)

60発明の名称

半導体装置及びその製造方法

20特 類 平2-263090

22出 願 平2(1990)10月2日

明 個発 者

東京都千代田区内幸町1丁目1番6号 日本電信電話株式

会社内

720発 明 者 泉 胇 俊 東京都千代田区内幸町1丁目1番6号

日本電信電話株式

会社内

切出 顔 人

日本電信電話株式会社

東京都千代田区内幸町1丁目1番6号

20代 理 人 弁理士 山川 政樹

大

村

外1名

1. 発明の名称

半導体装置及びその製造方法

- 2. 特許請求の範囲
 - (1) 半導体基板上に、該半導体基板上のゲート 総縁膜を介して形成されるn形半導体層と、酸n 形半導体層上のp形半導体と金属との化合物層か らなる2層構造のゲート電極を有することを特徴 とする半導体装置。
 - (2) ゲート電極材料として使用するn形シリコ ン薄膜をゲート絶縁膜上に形成する工程と、前記 n形シリコン薄膜上にp形シリコン薄膜を形成す る工程と、チタンを前記り形シリコン薄膜中にイ オン往入する工程と、熱処理により前記り形シリ コン薄膜とチタンとを化合させる工程とを含むこ とを特徴とする半導体装置の製造方法。
- 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、高速動作を目的とする半導体装置を 安定に製造する技術に関し、特に半導体装置のゲ

- ト電極構造とその製造方法に関するものである。 (従来の技術)

従来の半導体装置の一例を第4図に示す。第4 図はこのMOS型半導体装置の基本構造を示す断 面図であり、1はp形シリコン基板、2はゲート 酸化膜、3はn形シリコン薄膜、4はシリコンを n形化する不純物を含むチタンシリサイド薄膜、 5はn形ソース領域、6はn形ドレイン領域であ

このような半導体装置において、従来ゲート電 極材料はシリコンだけで構成されていた。半導体 装置の動作速度は主に実効チャネル長(ソース・ ドレイン間距離)で規定されるが、実際にはゲー ト電極薄膜のシート抵抗は有限値を有するので、 微細化した半進体装置では、ゲート中を信号が伝 **播する時間を無視できなくなる。即ち、LSIの** 動作速度あるいは集積度を向上するために半導体 装置の全体の寸法を縮小すると、ゲート電極薄膜 のシート抵抗が益々増加し、半導体装置の動作速 度は単純な縮小則で予測されるような特性に比し

て著しく悪化する。

この問題を解決するため、近年ゲート電極に金属半導体化合物を使用する方法が提案されている。例えばシリコンとチタンの化合物(チタンシリサイド)の場合、シート抵抗を数オーム程度まで下げうることが知られており、さかんに検討されている。これまでの構成では、MOS形半導体装置の動作特性の安定化のためシリコンを n 形化するリンを含むシリコン 複膜をゲート 電極材料として使用し、この薄膜の上表面をチタンと反応させてシリサイド化していた。

(発明が解決しようとする課題)

しかし、n形シリコンを用いて製作したチタンシリサイドでは低シート抵抗値を得にくいことが 経験的に知られており、ゲート電極全体として低 シート抵抗を得る方法の関発が、半導体装置の動 作の高速化の点から課題となっていた。

本発明は以上の点に鑑みてなされたものであり、 その目的は、チタン等の金属と半導体薄膜との化 合物と半導体薄膜とを併用したゲート電極の低抵

〔作用〕

本発明においては、p影半導体と金属との化合物層の抵抗値を十分に低下させることができるので、ゲート電極の低抵抗化が可能となり、かつ半導体装置の動作の高速化がはかれる。

(実施例)

以下、本発明を図面に示す実施例に基づいて詳細に説明する。

抗化をはかる上で、上記2層環膜構成を有する半 導体装置の動作特性全体の向上とその安定性並び に歩留まりを向上することができる半導体装置及 びその製造方法を提供することにある。

(課題を解決するための手段)

この目的を達成するため、本発明の半導体装置は、半導体基板上に、該半導体基板上のゲート絶縁膜を介して形成された n 形半導体層と、該 n 形半導体階上の p 形半導体と金属との化合物層からなる 2 層構造のゲート電極を有することを特徴とするものである。

また、本発明による半導体装置の製造方法は、 半導体基板上にゲート電極を形成する際に、ゲー ト電極材料として使用する n 形シリコン薄膜をゲ ート絶縁膜上に形成し、この n 形シリコン薄膜 に p 形シリコン薄膜を形成して、次いでチタンを その p 形シリコン薄膜中にイオン往入したのち、 熱処理により p 形シリコン薄膜とチタンとを化合 させることにより、 2 層構造のゲート電極を形成 するものである。

成したことである。

このように上記実施例によると、2層構造のゲート電極の下層材料として n 形シリコン環膜 3 を用い、上層材料としてチタンシリサイド薄膜 7 を用いることにより、そのチタンシリサイド薄膜 7 の抵抗値を下げることができ、その実験結果の一例を第 2 図を用いて説明する。

製造工程における熱処理温度の低温化は、数細化 した半導体装置を製造する上では必須であり、p 形シリコンを母材としたチタンシリサイドを使用 することにより、上述した従来の課題を解決する ことができる。

第3図(a)~(c)は、本発明に係る半導体装置の製造方法の一実施例を示す工程断面図である。

この実施例の方法は、まず第3図向に示すように、単結晶シリコン基板10内部に例えば酸素イオンを180%eVで2×10' 個/cm イオン注入し、その後例えば1300で、4時間熱処理し、シリコン基板中にシリコン酸化膜11を形成し、またこれによって基板上表面にp形シリコン活性領域12を単結晶シリコン基板10から電気的に分離する。

次に第3図的に示すように、p 形シリコン活性 領域 1 2 上を半導体装置を形成するに必要は寸法 に加工する。その後、p 形シリコン活性領域 1 2 上にゲート酸化酸 1 3 を形成し、引き続きゲート 酸化膜 1 3 上に例えばリンを1×10²⁰個/em²以上 の高濃度に含むシリコン薄膜 1 4 を堆積し、更に

ン以外の金属と化合させて形成されるシリサイド であっても同様に適用することができる。

(発明の効果)

以上説明したように本発明によれば、ゲート電 種用 n 形半導体薄膜と、該半導体薄膜上の p 形半 導体とチタン等の金属との化合物層から 2 層構造 のゲート電極を形成したので、そのゲート電極の 抵抗値をより低下させることができ、半導体装置 の動作の高速化に有利である。

また本発明の方法によれば、p影半導体へのチタンの導入をイオン注入により行うので、半導体装置内に不要な不純物の混入をもたらせない。このため、チタンを導入した層の低抵抗化がは止でると共に、半導体装置の動作特性の劣化を防止でき、歩留まりが向上する。さらに、イオン注入によりチタンをp形半導体に直接導入するのではよりチタンをp形半導体に直接導入するのは清らかになる。これにより半導体装置の歩留まりを改善できる等の優れた効果がある。

4. 図面の簡単な説明

このシリコン薄膜 1 4上に例えばボロンを1×10 **個/cm²の高濃度に含むシリコン薄膜 1 5 を堆積する。その後、このシリコン薄膜 1 5 中にチタン (Ti) イオン1 9 を例えば30KeV で2×10 ** 個/cm²イオン注入する。次いで、この試料を例えば700でで熱処理することにより、シリコン薄膜15内でシリサイド反応を起こさせる。

その後第3図()に示すように、チタンをイオン 注入したシリコン薄膜15とシリコン薄膜14と を所定の寸法に加工して、そのシリコン薄膜14a とポロンを含むチタンシリサイド薄膜16を形成 する。更に、ソース領域17とドレイン領域18 を例えばイオン注入により形成する。この後の工 程は、従来の製造工程に準する。

このように本実施例の方法によるときは、低シート抵抗のチタンシリサイド16をゲート電極用 半導体薄膜上に均一に製造することができる。

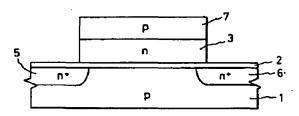
なお、上記実施例では化合物層としてチタンシ リサイドを用いる場合について示したが、本発明 はこれに限らず、p 形シリコンを母材としてチタ

第1図は本発明による半導体装置の一実施例を示す基本構造の断面図、第2図は上記実施例の説明に供するチタンをイオン注入したn形及びp形シリコンのシート抵抗と熱処理温度の関係を示す図、第3図は本発明に係る半導体装置の製造方法の一実施例を示す工程断面図、第4図は従来の半導体装置の一例を示す構造断面図である。

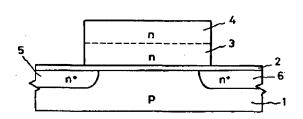
1・・・p形シリコン基板、2・・・ゲート酸化膜、3・・・n形シリコン薄膜、5・・・n形ソース領域、6・・・n形ドレイン領域、7・・・シリコンをp形化する不純物を含むチタンシリサイド薄膜、13・・・ゲート酸化膜、14・・・n形シリコン薄膜、15・・・p形シリコン薄膜、16・・・チタンシリサイド薄膜。

特許出願人 日本電信電話株式会社 代理人 山川 政樹

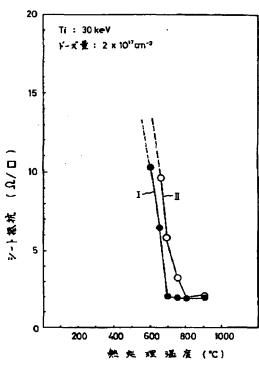
第 1 23



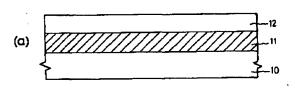
館 / 図

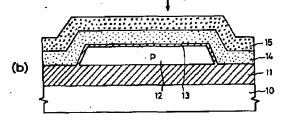


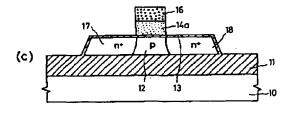
2 B



第3図







-466